

# 公開実用平成 4-38064

⑩日本国特許庁 (JP)

⑪実用新案出願公開

⑫公開実用新案公報 (U)

平4-38064

⑬Int. Cl.

H 01 L 25/065  
21/60  
25/07  
25/18

識別記号

厅内整理番号

⑭公開 平成4年(1992)3月31日

311 R

6918-4M

7638-4M H 01 L 25/08

審査請求 未請求 開示項の数 4 (全頁) B

⑮考案の名称 TABリード型電子部品

⑯天 願 平2-80494

⑰出 願 平2(1990)7月27日

⑲考案者 廣居 隆一

滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社  
内

⑳出願人 関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

㉑代理人 弁理士 江原 省吾

## 明細書

### 1. 考案の名称

TABリード型電子部品

### 2. 實用新案登録請求の範囲

(1) 上面周縁部に電極を有し寸法が異なる第1、第2の電子部品本体と各電子部品本体を接通する透孔を穿設した絶縁性テープに積層形成した導電パターンの一部を透孔内に延在させてインナリードを形成した第1、第2のTABテープとからなり、径大の第1の電子部品本体の上面中央部に径小の第2の電子部品本体を積み重ね配置するとともに、各TABテープを重合して各電子部品本体の電極とインナリードとを接続したことを特徴とするTABリード型電子部品。

(2) 第2の電子部品本体が1以上あることを特徴とする請求項(1)記載のTABリード型電子部品。

(3) 第2の電子部品本体に接続される第2のTABテープが第2の電子部品全てを接通する大きさの一つの透孔を有することを特徴とする請求項

(1)

785

実開 4 - 38064

(2) 配線の TAB リード型電子部品。

(4) 第2の電子部品本体に接続される第2の TAB テープが1つ又は複数の電子部品本体を接続する複数の透孔を有することを特徴とする請求項  
(2) 配線の TAB リード型電子部品。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は TAB リード型電子部品に関するものであり、詳細には、例えばマイクロコンピュータの組立てにおけるコンパクト化と実装密度の向上を実現した電子部品に関するものである。

〔従来の技術〕

マイクロコンピュータ等の電子機器のコンパクト化を目的として、第4図に示すような積層タイプの半導体装置が使用されている。この半導体装置は、第1の半導体ペレット(11)の上面にボンディング用のバッド(11A)と電極(11B)を形成し、このボンディング用バッド(11A)を介して第1の半導体ペレット(11)の上面に表面にパンプ電極(12A)を形成してなる第2の半導体ペレ

(2)

ット (12) をボンディングし、上記電極 (11B) ならびにバンプ電極 (12A) とプリント基板 (13) 上の電極バターン (13A) との間をワイヤ (14) で接続することによって、第1の半導体ペレット (11) 上に汎用の共通演算回路を形成し、第2の半導体ペレット (12) 上にユーザーの要請に応じて付加あるいは変更すべき演算回路を形成したマイクロコンピュータ (15) に構成されている。

第5図は、マイクロコンピュータ (15) のコンパクト化の第2の従来例を示すものであって、絶縁シート (16) の上下両面に2枚のプリント基板 (17) (18) を接合し、第1のプリント基板 (17) の上面に汎用の共通演算素子として第1の半導体ペレット (19) を装着し、また、第2のプリント基板 (18) の下面にユーザーの要請に応じて付加すべき演算素子として第2の半導体ペレット (20) を装着し、かつ、第1の半導体ペレット (19) の表面に設けられたバンプ電極 (19A) をワイヤ (14) を介して第1のプリント基板 (17) の上面に形成された電極バターン (17A) に接続し、

(3)

また、第2の半導体ペレット(20)の表面に設けられたバンプ電極(20A)をワイヤ(14)を介して第2のプリント基板(18)の下面に形成された電極パターン(18A)に接続することによって、第1の半導体ペレット(19)上に汎用の共通演算回路を配設し、第2の半導体ペレット(20)上にユーザーの要請に応じて付加あるいは変更すべき演算回路を付設したマイクロコンピュータ(15)に形成されている。

第6図はマイクロコンピュータ(15)のコンパクト化の第3の従来例を示すものであって、アイランド(21)上に接着剤層(22)を介して汎用の共通演算素子として第1の半導体ペレット(23)を接着し、この第1の半導体ペレット(23)の上面に形成されたボンディング用のパッド(23A)を介して第1の半導体ペレット(23)の上面に表面にバンプ電極(24A)を有し、付加演算素子として機能する第2の半導体ペレット(24)を接合することによってマイクロコンピュータ(15)に形成されている。尚、同図において、(14)はアイ

ランド (21)、第1の半導体ペレット (23)、ならびに第2の半導体ペレット (24) の間を接続するワイヤである。

〔考案が解決しようとする課題〕

第4図乃至第6図に示す従来例では、第1の半導体ペレット (11)、(19)、(23) および第2の半導体ペレット (12)、(20)、(24) の基材として厚みの大きなプリント基板 (13)、(17)、(18)、あるいはアイランド (21) を使用しているため、マイクロコンピュータ (15) 全体としての積層厚みが大きくなる。このためマイクロコンピュータ (15) のコンパクト化が阻害される場合が少なくない。

また、配線および絶縁構造が複雑化するため、半導体ペレット (11)、(19)、(23)、(12)、(20)、(24) の内部配線の外部への引き出しおよび演算回路の多様化が大幅に制約される。

〔課題を解決するための手段〕

上記課題の解決手段として本考案は上面周縁部に電極を有し寸法が異なる第1、第2の電子部品

本体と各電子部品本体を挿通する透孔を穿設した絶縁性テープに複層形成した導電バターンの一部を透孔内に延在させてインナリードを形成した第1、第2のTABテープとからなり、径大の第1の電子部品本体の上面中央部に径小の第2の電子部品本体を横み重ね配置するとともに、各TABテープを重合して各電子部品本体の電極とインナリードとを接続したことを特徴とするTABリード型電子部品を提供するものである。

〔実施例〕

以下に、本考案によるTABリード型電子部品(1)をマイクロコンピュータに適用し、第1図から説明する。図において、(2)は径大の第1の電子部品本体である半導体ペレット、(3)は第1の半導体ペレット(2)より径小の第2の半導体ペレットで、各半導体ペレット(2)(3)の上面周縁部には電極(2a)、(3a)が形成され、第2の半導体ペレット(3)は第1の半導体ペレット(2)の上面中央部に固定されている。(4)、(5)は第1、第2のTABテープで、

(6)

それぞれ絶縁性テープ (4a) (5a) に第1、第2の半導体ペレット (2)、(3) を挿入する透孔 (4b) (5b) を穿設し、金属箔を積層してエッチングによって形成した導電バターン (4c) (5c) の一部を透孔 (4b) (5b) 内に延長してインナリード (4d) (5d) を形成している。図示例では第2のTABテープ (5) の導電バターン (5c) はスルーホール (5e) によりインナリード (5d) と反対の面に導出されインナリード (4d) と隣接配置されている。

この電子部品は第1の半導体ペレット (2) 上に第2の半導体ペレット (3) をマウント一体化し、第1の半導体ペレット (2) の電極を第1のTABテープ (4) のインナリード (4d) に接続した後、第1のTABテープ (4) 上に第2のTABリード (5) を重ね合せて、そのインナリード (5d) を第2の半導体ペレット (3) の電極3aに接続して製造される。第1、第2のTABテープ (4)、(5) は溶着あるいは接着材を用いて連結される。

(7)

791

また第1、第2の導電パターン(4c)、(5c)はそれぞれ独立して外部に導出してもよいし、TABテープ内で接続して内部配置してもよい。

また第2の半導体ペレット3は第1の半導体ペレット(2)に機械的に接着しているが、第1、第2の半導体ペレット(2)、(3)の対応する位置にそれぞれ電極を形成して電気的に接続してもよい。

尚、第1図実施例では2個の半導体ペレットを用いた実施例について説明したが、第2の半導体ペレット(3)は第2図に示すように複数用いることができる。

この場合、第2のTABテープ(5)の透孔(5a)は第2の半導体ペレット全てを収容する寸法で一つ設けることの他、各第2の半導体ペレットを一つずつあるいは数個単位で収容し得る寸法で複数の透孔を設けてもよい。

マイクロプロセッサは第3図に示すようにマイクロプロセッサ本体(CPU)に所定のプログラムを書き込んだROM(ROM<sub>1</sub>～ROM<sub>2</sub>)、

(8)

一次データが書き込まれるRAM (RAM<sub>1</sub> ~ RAM<sub>2</sub>)、外部デバイスとのインターフェース (I/O<sub>1</sub> ~ I/O<sub>2</sub>) が接続されて機能するが、本考案により、例えばマイクロプロセッサ本体 (CPU) にROMを一体化したものを提供でき、実装密度を向上でき、第1、第2の電子部品本体 (2)、(3) の組み合せで多様な品種に対応させることができる。

#### 〔考案の効果〕

本考案によれば、ユーザーの要請に応じて第1の半導体ペレットと、その上に積層搭載すべき第2の半導体ペレットの種類を選択・変更するだけで、種々の型式のTABリード型電子部品、例えばマイクロコンピュータを製作することが可能となる。このため、広範な用途分野を想定して1個の半導体ペレットの中に、予め基本演算装置とユーザーの要求によって追加すべき補助装置の總てを組込む必要がなくなり、製品系列ならびに機種の多様化に大きな効果が発揮される。また、半導体ペレットの固定支持部材として薄い絶縁性テー

アを使用しているため、集積回路の高密度実装のみならず半導体装置のコンパクト化に対しても顕著な改善がなされる。

#### 4. 図面の簡単な説明

第1図は本考案装置の部分拡大縦断面図、第2図は本考案の変形例を示す要部平面図、第3図はマイクロコンピュータのブロックダイヤグラム、第4図乃至第6図は従来装置の部分拡大縦断面図である。

- (1) ……TABリード型電子部品、
- (2)、(3) ……電子部品本体(半導体ペレット)
- (4)、(5) ……TABテープ、
- (4a)、(5a) ……絶縁性テープ、
- (4b)、(5b) ……透孔、
- (4c)、(5c) ……導電バターン、
- (4d)、(5d) ……インナリード。

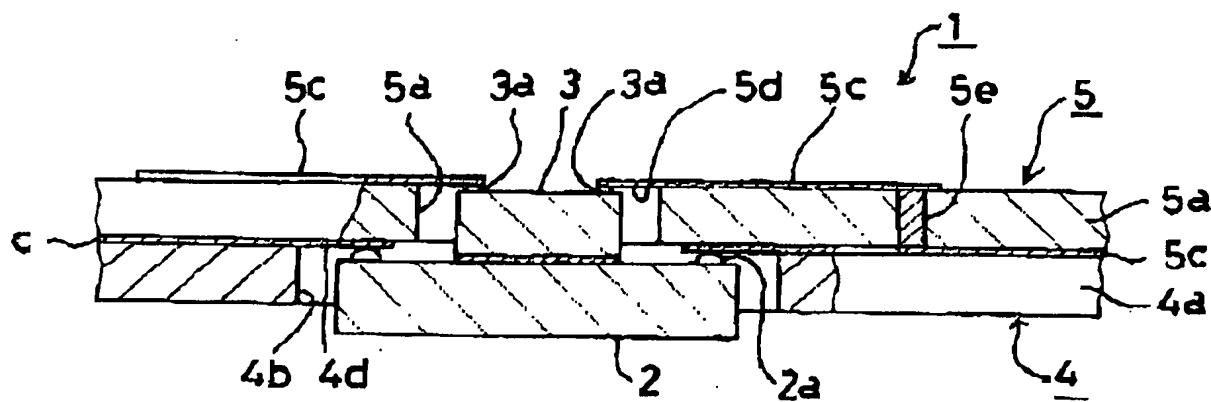
実用新案登録出願人

関西日本電気株式会社

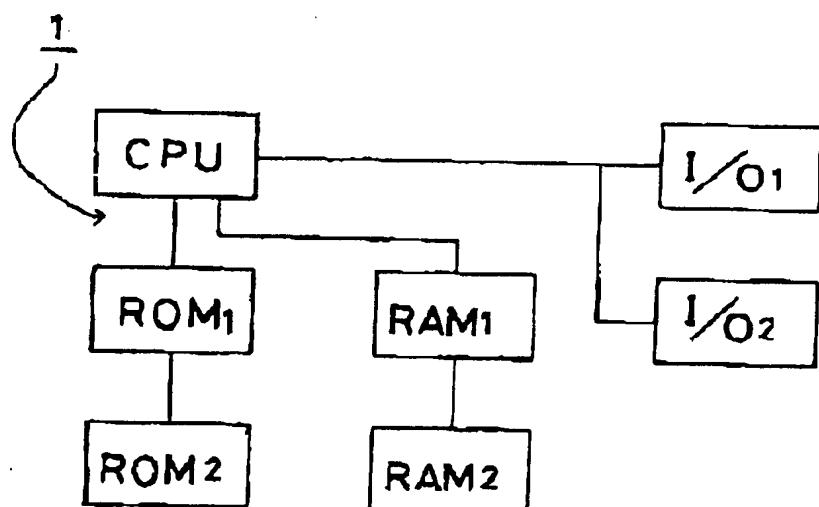
代理人

江原省吾

第 1 図



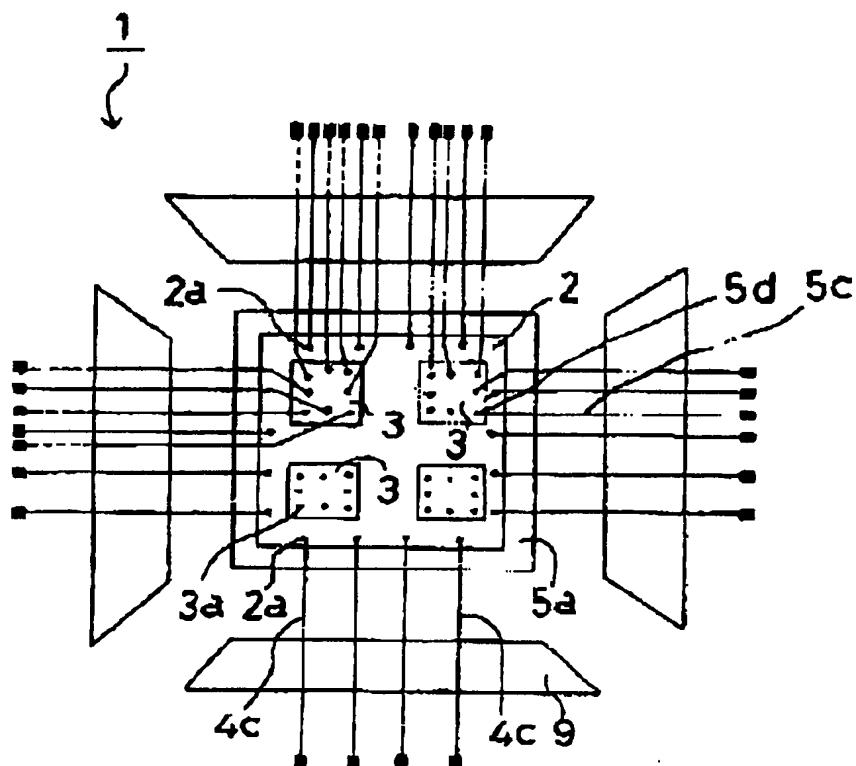
第 3 図



795

実開 4 - 38064  
出願人代理人 江原省吾

第2図



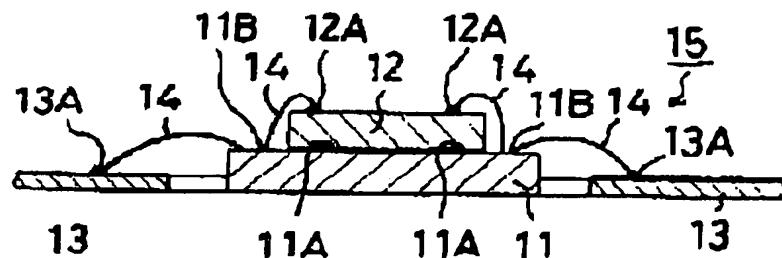
1: TABリード型半導体装置(マイクロコンピュータ)  
2: 絶縁テープ製取付け枠  
3, 4: チップ部品(半導体ペレット)  
3a, 4a: ハンプ電極  
5, 6: 金属箔リード  
7: 電極パターン

796

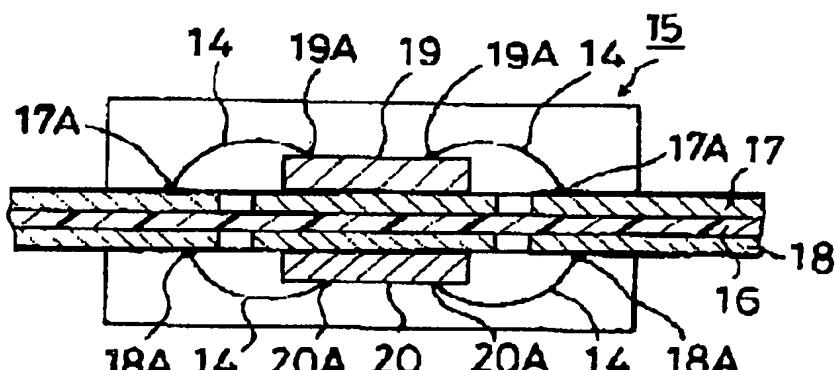
実開4-38064

出願人代理人 江原省吾

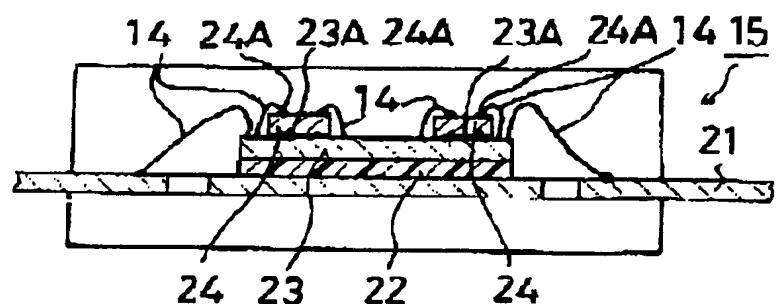
第4図



第5図



第6図



797

実開 4 - 36064

出願人代理人 江 原 省 吾